

VARIABLE INDUCTOR

Patent number: JP2001291616
Publication date: 2001-10-19
Inventor: IIDA NAOKI; KAWAGUCHI MASAHICO
Applicant: MURATA MANUFACTURING CO
Classification:
- International: H01F21/12; H01F21/12; (IPC1-7): H01F21/00;
H01F17/00; H01F41/00
- european: H01F21/12
Application number: JP20000104790 20000406
Priority number(s): JP20000104790 20000406

Also published as:

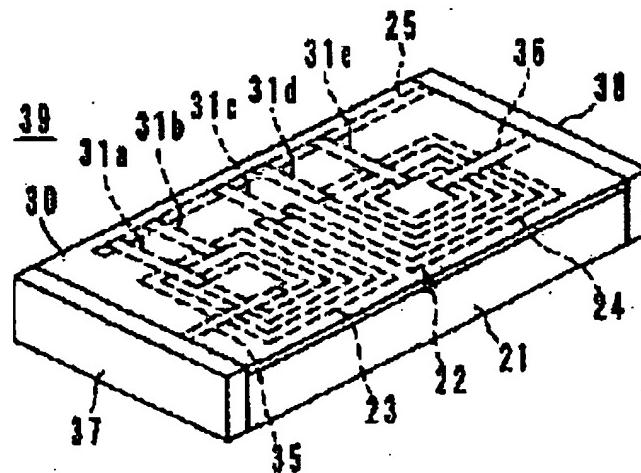
US6583704 (B2)
US2001028292 (A1)
GB2364180 (A)
DE10117291 (A1)



[Report a data error here](#)

Abstract of JP2001291616

PROBLEM TO BE SOLVED: To provide a variable inductor which has high Q-value and is widely varied in inductance. **SOLUTION:** Two spiral coil patterns 23 and 24 are electrically connected in series to constitute a coil 22. Trimming electrodes 31a to 31e are arranged in a row like a ladder, on the inner side of an insulating board 21 or arranged on the one side of the coil 22 to bridge a gap between a lead-out electrode 25 and the coil 22. The trimming electrodes 31a to 31e are irradiated with a laser beam or the like to be gradually cut off one by one starting from a trimming electrode 31a located at an edge, by which a variable inductor of this constitution is varied in inductance.



Data supplied from the esp@cenet database - Worldwide

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. 7

H01F 21/00

(45) 공고일자 2003년01월06일

(11) 등록번호 10 - 0366926

(24) 등록일자 2002년12월18일

(21) 출원번호

10 - 2001 - 0018254

(65) 공개번호

특2001 - 0098465

(22) 출원일자

2001년04월06일

(43) 공개일자

2001년11월08일

(30) 우선권주장

2000 - 104790

2000년04월06일

일본(JP)

(73) 특허권자

가부시키가이샤 무라타 세이사쿠쇼

일본국 교토후 나가오카쿄시 덴진 2초메 26방 10고

(72) 발명자

이이다나오키

일본국 교토후 나가오카쿄시 덴진 2초메 26방 10고 가부시키가이샤 무라타 세이사쿠쇼

가와구치마사히코

일본국 교토후 나가오카쿄시 덴진 2초메 26방 10고 가부시키가이샤 무라타 세이사쿠쇼

(74) 대리인

윤동열

이선희

심사관 : 김성운

(54) 가변 인덕터

요약

가변 인덕터는 입력 외부 전극, 출력 외부 전극, 및 적어도 두개의 나선형 코일 패턴부를 입력 외부 전극 및 출력 외부 전극 사이에 직렬로 전기적으로 접속시켜 형성된 코일을 포함한다. 적어도 하나의 트리밍 전극이 각 나선형 코일 패턴부에 더 구비된다. 각 트리밍 전극의 한 말단 및 다른 말단은 나선형 코일 패턴부 및 인출부에 각각 접속되며, 트리밍 전극이 인출 전극과 코일 사이를 잇는다. 레이저 범을 조사하여, 모서리에서 가까운 트리밍 전극에서 시작하여, 트리밍 전극을 하나씩 순차적으로 트림하며, 이로 인해 코일의 인덕턴스가 따라서 증가한다.

대표도

도 4

색인어

가변 인덕터, 인덕턴스

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 가변 인덕터의 사시도이다.

도 2는 다음 공정에서 조립되는 가변 인덕터의 사시도이다.

도 3은 다음 공정에서 조립되는 가변 도체 소자의 사시도이다.

도 4는 본 발명의 실시예에 따라 얻어진 가변 인덕터의 외형에 대한 사시도이다.

도 5는 도 4에 도시된 가변 인덕터의 인덕턴스가 조절될 수 있도록 몇개의 트리밍 전극이 트림되는 것을 나타내는 사시도이다.

도 6은 도 4에 도시된 가변 인덕터의 가변 인덕턴스 영역을 나타내는 선도이다.

도 7은 본 발명에 따른 가변 인덕터의 다른 실시예에 대한 평면도이다.

도 8은 종래의 가변 인덕터에 대한 사시도이다.

도 9는 종래의 다른 인덕터에 대한 사시도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 주로 가변 인덕터에 관한 것이며, 보다 구체적으로는 이동 통신기에 사용되는 가변 인덕터에 관한 것이다.

소형화하려는 전자 장치는, 특히, 휴대 전화 및 자동차 전화 등의 이동 통신기는, 내부에 결합되는 부품들이 소형이어야 한다. 또한, 장치에 사용되는 주파수가 높아지면, 회로가 더욱 복잡해지고, 협진동(narrow variation)과 염밀한 허용 오차가 내부에 결합되는 부품에 요구된다. 사실, 그러나, 각 부품은 진동을 가지고 있고, 이 부품들이 단순하게 실장된 회로는 정확하게 작동할 수 없다. 이런 불편함을 피하게 위해서, 회로를 구성하는 몇 개의 부품용으로 가변 부품들을 사용하고, 가변 부품들을 정교하게 조절하여 회로가 정확하게 작동되도록 하는 방법들을 고려해왔다. 그 중 한 가지 방법이 가변 인덕터를 사용하는 것인데, 종래의 것으로, 인덕턴스 조절부(트리밍(trimming) 패턴부)를 포함하는 인덕터가 있다.

도 8은 인덕턴스 조절부를 포함하는 전형적인 가변 인덕터(1)의 사시도이다. 가변 인덕터(1)는 절연 기판(2)의 표면에 형성된 나선형 코일(3)을 포함한다. 인덕턴스 조절부는 사다리형으로 정렬된 복수의 트리밍(trimming) 전극(4)으로 이루어지며, 코일(3)에 의해 정해진 영역에 위치한다. 코일(3)의 한 말단(3a)은 외부 전극(7)에 전기적으로 접속되고, 다른 말단(3b)은 절연막(5)을 지나게 연장되어 외부 전극(8)과 전기적으로 접속된다. 트리밍 전극(4)은 가변 인덕터(1)에 레이저 범이 조사되어 하나씩 순차적으로 트림(trim)되어, 외부 전극(7)과 외부 전극(8) 사이의 인덕턴스가 서서히 정교하게 조절될 수 있다.

도 9는 다른 종래의 가변 인덕터(11)의 사시도이다. 인덕터(11)는 절연 기판(12)의 표면에 형성된 나선형 코일(13)을 포함한다. 인덕턴스 조절부는 트리밍 전극(14a 내지 14d)으로 구성되며, 트리밍 전극(14a 내지 14d)은 코일(13)에 의해 정해진 영역의 외부로 반정도의 코일(13)이 인출된다. 트리밍 전극(14c, 14d)은 절연막(15a, 15b)에 각각 배치된다. 코일(13)의 한 말단(13a)은 외부 전극(17)에 전기적으로 접속되며, 다른 말단(13b)은 절연막(15c)을 지나게 연장되며 외부 전극(18)과 전기적으로 접속된다. 트리밍 전극(14a 내지 14d)은 하나씩 순차적으로 트림되어 외부 전극(17)과 외부 전극(18) 사이의 인덕턴스가 조절될 수 있다.

그러나, 도 8에 도시된 가변 인덕터(1)는 인덕턴스 조절부가 배치된 작은 면적이 포함되며, 따라서 인덕턴스에 작은 가변 영역이 제공되고, 따라서 회로 조절에 필요한 가변 인덕턴스 영역을 얻기가 어렵다. 이는 필요한 가변 영역을 얻기 위해 인덕턴스 조절부가 배치된 면적이 증가에 방해를 받기 때문이다. 또한, 가변 인덕터(1)는 전극(4)가 코일(3)에 의해 정해진 영역에 정렬되도록 설계되고, 전극(4)은 코일(3)에 의해 생성된 자기장에 방해물이 된다. 결국, 인덕터(1)의 Q 인자가 감소하는 문제가 발생한다.

도 9에 도시된 가변 인덕터(11)에서는, 한편, 인덕턴스가 매 회전마다 조절되고, 인덕턴스는 정교하게 조절되지 않는다. 따라서, 가변 인덕터가 가변 영역 내에서 회로 조절에 적합한 최적의 인덕턴스를 포함하더라도, 최적의 값을 얻을 수 없는 경우가 있었다. 또한, 가변 인덕터(11)가 실질적으로 코일 길이의 균일 간격으로 트리밍 전극(14a 내지 14d)과 접속되기 어려우며, 인덕터스가 거의 일정한 값으로 서서히 정교하게 조절되기 어렵다. 또한, 트리밍 전극(14a 내지 14d)이 트리밍 순서대로 일렬로 정렬되지 않기 때문에, 트리밍 작동이 둔해지며, 대량 생산에 적합하지 않다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 높은 Q 인자 및 용이하고 정교하게 조절될 수 있는 인덕턴스의 넓은 가변 영역을 갖는 가변 인덕터를 제공하는 것이다.

발명의 구성 및 작용

이런 목적에서, 본 발명에 따르는, 가변 인덕터는, 입력 외부 전극과 출력 외부 전극, 적어도 두개의 나선형 코일 패턴부를 입력 외부 전극과 출력 외부 전극 사이에 직렬로 전기적으로 접속시켜 형성된 코일, 적어도 두개의 나선형 코일 패턴부의 각각에 구비된 적어도 하나의 트리밍 전극(각 트리밍 전극은 한 말단이 나선형 코일 패턴부에 접속됨), 및 각 트리밍 전극의 다른 말단에 접속된 인출 전극(입력 외부 전극과 출력 외부 전극 중 하나와 접속됨)을 포함한다.

일렬로 정렬된 트리밍 전극은 나선형 코일 패턴부에 접속되며, 트리밍 전극은 트리밍 전극의 끝에서 시작하여 순차적으로 절단되는 것이 바람직하며, 이로 인해 코일의 인덕턴스가 따라서 증가한다.

따라서, 적어도 두개의 나선형 코일 패턴부는 입력 외부 전극 및 출력 외부 전극 사이에 직렬로 전기적으로 접속되어 코일을 형성하며, 트리밍 전극은 트리밍 순서대로 정렬될 수 있다. 이는 트리밍 작동에 유용하며, 트리밍 동안에 절단을 잘못하는 불편함 등을 피하고, 이로 인해, 보다 확실한 트리밍이 제공된다. 따라서 회로 조절에 필요한 가변 인덕턴스 영역이 더욱 넓어질 수 있다. 코일의 인덕턴스가 일정한 값으로 서서히 정교하게 조절될 수 있도록 트리밍 전극을 하나씩 순차적으로 트림(절단)한다.

본 발명에 따른 가변 인덕터의 몇개의 실시예를 다음 상세한 설명과 연관된 첨부 도면을 참조로 설명한다.

도 1을 참고하면, 코일(22) 및 인출전극(lead out electrode; 25)은 스퍼터링(sputtering) 및 증착(deposition)과 같은 후막 인쇄 또는 박막 형성법에 의하여 매끄럽게 연마된 절연 기판(21)의 윗면에 형성된다.

후막 인쇄는, 예를 들면, 절연 기판(21)의 윗면을 덮는 소정의 패턴으로 개구를 갖는 스크린을 제공하고, 상기 스크린의 개구로부터 노출된 절연 기판(21)의 윗면의 일부에 소정의 패턴으로 스크린 상에 도전성 페이스트를 인가하여 상대적으로 두꺼운 도체(본 발명에서는 코일(22) 및 인출전극(25))를 형성하는 것을 포함하는 기술이다.

박막 형성은 아래에 설명된 방법을 포함할 수 있다. 상대적으로 얇은 도전성 박막은 절연 기판(21)의 윗면의 거의 전체에 형성되고, 감광성 수지막과 같은 저항막이 스펀 - 코팅 또는 인쇄에 의하여 도전성 막의 거의 전면에 형성된다. 소정의 이미지 패턴을 갖는 마스크 막이 저항막의 윗면에 씌워지고, 이어서, 저항막의 소정 부분은 자외선에 노출되는 등의 방법으로 경화(cure)된다. 저항막은 경화된 부분이 떨어져서 나가서 벗겨지고, 전도성 막의 노출된 부분은 제거되어 소정의 패턴으로 도체(본 발명에서 코일(22) 및 인출전극(25))를 형성한다. 그 후, 경화된 저항막이 제거된다.

다른 형성 가능한 방법으로는 절연 기판(21)의 윗면 상에 감광성 도전성 페이스트를 인가하고, 그것을 소정의 이미지 패턴을 갖는 마스크 막으로 덮고, 노출 및 현상하는 방법을 포함한다.

코일(22)은 두개의 나선형 코일 패턴부(23 및 24)를 직렬로 연결함으로써 형성된다. 코일 패턴부(23 및 24)는 절연 기판(21)의 길이 방향으로 서로 인접하게 배열된다. 인출전극(25)의 일단은 도 1에서 보듯이 절연 기판(21)의 좌측에 노출된다.

절연 기판(21)의 재료는 유리, 유리 세라믹, 산화 알루미늄, 페라이트, Si 및 SiO_2 를 포함한다. 코일(22) 및 인출전극(25)의 재료는 Ag, Ag - Pd, Cu, Ni 및 Al을 포함한다.

도 2를 보면, 개구(30a 내지 30l)를 갖는 절연성 보호막(30)이 형성된다. 특히, 액체 절연 재료가 스펀 - 코팅 또는 인쇄법에 의하여 절연 기판(21)의 윗면의 전체에 피복되고, 건조 및 소결되어 절연 보호막(30)을 형성한다. 여기에 사용되는 절연 재료는 감광성 폴리이미드(polyimide) 수지 및 감광성 유리 페이스트를 포함한다. 다음으로, 소정의 이미지 패턴을 갖는 마스크(mask) 막이 절연 보호막(30)의 윗면을 씌우고, 절연 보호막(30)의 소정 부분이 자외선에 노출되는 등의 방법으로 경화된다. 절연 보호막(30)의 경화되지 않은 부분은 제거되어, 개구(30a 내지 30l)가 노출될 수 있다. 나선형 코일 패턴부(23)의 내부에 위치한 코일(22)의 일단(22a)은 개구(30a)에 노출된다. 나선형 코일 패턴(24)의 내부에 위치한 코일(22)의 타단(22b)은 개구(30g)에 노출된다. 차례로, 코일(22)의 소정 부분이 개구(30b 내지 30f)에 노출되고, 인출전극(25)의 소정의 부분이 개구(30h 내지 30l)에 노출된다.

도 3을 보면, 트리밍 전극(31a 내지 31e) 및 인출전극(35 및 36)은 코일(22)이 형성되는 것과 유사하게, 스퍼터링 및 증착과 같은 후막 인쇄 또는 박막 형성법에 의하여 형성된다. 인출전극(35)은 절연 보호막(30)에서 개구(30a)를 통하여 코일(22)의 일단(22a)에 전기적으로 접속된다. 인출전극(36)은 개구(30g)를 경유하여 코일(22)의 타단(22b)에 전기적으로 접속된다. 유사하게, 트리밍 전극(31a 내지 31e)의 일단은 절연 보호막(30)에서 개구(30b 내지 30f)를 경유하여 코일(22)의 소정 부분에 각각 전기적으로 접속된다. 트리밍 전극(31a 내지 31e)의 타단은 개구(30h 내지 30l)를 경유하여 인출전극(25)의 소정 부분에 각각 전기적으로 접속된다.

도 3에서 보듯이, 트리밍 전극(31a 내지 31e)은 절연 기판(21)의 배면에서 사다리형으로 일렬로 배열되어, 즉, 코일(22)의 측면에 배열되어, 인출전극(25)과 코일(22) 사이를 연결한다. 인출전극(35)은 절연 기판(21)의 좌측면에 노출되고, 인출전극(36)은 절연 기판(21)의 우측면에 노출된다.

도 4에서 보듯이, 액체 절연 물질이 스판 - 코팅 또는 인쇄법에 의하여 절연 기판의 윗면 전체에 피복되고, 건조 및 소결되어, 절연 보호막(30)이 트리밍 전극(31a 내지 31e) 및 인출전극(35 및 36)을 써운다. 다음으로, 외부 전극(37 및 38)이 길이 방향으로 절연 기판(21)의 일단에 형성된다. 외부 전극(37)은 인출 전극(35)에 전기적으로 접속되고, 외부 전극(38)은 인출전극(25 및 36)에 전기적으로 접속된다. 외부 전극(37 및 38)은 Ag, Ag - Pd, Cu, NiCr, NiCu, Ni 등으로 만들어진 도전성 페이스트를 인가하고, 이를 소결하여, Ni, Sn, Sn - Pb 등으로 만들어진 금속 막을 형성하기 위한 습식 전해질 도금에 의하여 형성된다. 외부 전극(37 및 38)은 스퍼터링 또는 증착 등의 방법에 의하여 형성될 수도 있다.

제조된 가변 인덕터(39)는 코일(22) 및 인덕턴스 조절부(트리밍 전극(31a 내지 31e))는 절연 기판(21)에 전기적으로 접속된다. 트리밍 전극(31a 내지 31e)의 작은 부분만이 기판(21) 상에서 코일(22)에 의하여 한정된 지역에 배치되기 때문에, 코일(22)에 의하여 발생되는 자기장이 트리밍 전극(31a 내지 31e)에 의하여 차단되는 양이 줄어든다. 따라서, 높은 Q값을 갖는 인덕터(39)를 얻는다.

가변 인덕터(39)가 인쇄 기판 등에 실장된 후, 트리밍 전극(31a 내지 31e)이 조절된다. 특히, 도 5에서 보듯이, 상기 가변 인덕터(39)로부터 레이저 빔을 조사함으로써, 트리밍 홈(40)이 가변 인덕터(39)에 형성된다. 트리밍 전극(31a 내지 31e)은 일단에 위치한 트리밍 전극(31a) 등으로부터 차례로 시작되어 하나씩 절단된다. 도 5는 두 개의 트리밍 전극(31a 및 31b)이 절단되는 것을 도시하고 있다. 따라서, 외부 전극들(37 및 38) 사이의 인덕턴스는 일정값 만큼 점차적으로 조금씩 증가할 수 있다.

도 6은 2.0mm × 1.25mm의 크기를 갖는 본 실시예에 따른 가변 인덕터에 대하여 인덕턴스의 변화를 측정한 결과를 도시하는 그래프로서 실선(45)으로 표시된다. 도 6에서 비교를 위하여, 도 9에 도시된 종래의 가변 인덕터(11)로 측정한 결과가 점선(46)으로 표시된다. 본 실시예에 따른 가변 인덕터(39)는 약 3nH의 낮은 인덕턴스에서 약 15nH의 높은 인덕턴스까지 가변 범위가 넓다. 반대로, 종래의 인덕터(11)는 약 9 내지 15nH의 상대적으로 높은 인덕턴스로써 좁은 가변 범위를 갖는다.

가변 인덕터(39)는 트리밍 전극(31a와 31b 및 31d와 31e)이 각각 접속된 두개의 나선형 코일 패턴부(23 및 24)로 형성된 코일(22)이 제공되고, 트리밍 전극(31a 및 31e)은 트리밍 순서대로 배열될 수 있으므로, 트리밍 작용이 용이해진다. 또한, 트리밍 전극(31a 내지 31e)은 코일 길이에서 거의 균일한 간격으로 접속될 수 있어서, 인덕턴스가 정밀하게, 즉, 선형으로 거의 일정한 값으로 점차적으로 조절될 수 있게 한다.

인덕턴스를 더욱 정밀하게 조절하기 위하여, 트리밍 전극(31a 내지 31e)의 수는 증가할 수 있다. 트리밍 전극(31a 내지 31e)은 레이저 빔 외에도 샌드블래스팅(sandblasting)법과 같은 어떠한 수단에 의해서도 조절될 수 있다. 각각의 트리밍 전극(31a 내지 31e)은 전기적으로 단절되고, 트리밍 홈(40)이 물리적으로 들어가는 구성을 갖지 않을 수도 있다. 특히, 조사된 레이저 빔이 트리밍 후 보호막을 형성하기 위하여 조절부 안으로 들어가므로, 절연 보호막(30)은 유리 또는 유리 세라믹, 용융 유리로 만들어질 수 있다. 이것은 트리밍 전극부가 외부로 노출되는 것을 막아준다.

본 발명에 따른 가변 인덕터는 위에서 설명한 실시예로 제한되지 않고, 본 발명의 범위 및 사상을 벗어나지 않는 범위 내에서 다양한 수정이 이루어질 수 있다.

나선형 코일 패턴부의 수는 코일을 구성하는 한개 이상으로 개조될 수 있고, 코일(22)은 예를 들면 도 7에서 보듯이 전기적으로 직렬로 연결된 세 개의 나선형 코일 패턴부(54, 55 및 56)를 형성할 수 있다. 도 7에서, 여덟개의 트리밍 전극(31a 내지 31h), 및 코일 패턴부(54 내지 56)가 직렬로 연결된 재배열 패턴부(61 및 62)가 도시된다. 인출전극(

63)은 외부 전극(38)에 코일을 연결하도록 사용된다. 따라서, 숫자가 증가한 나선형 코일 패턴부가 더욱 정밀하게 인덕턴스를 조절하게 한다.

트리밍 전극(31a 내지 31h)이 모두 코일 패턴부(54 내지 56) 전부에 접속되어야 하는 것은 아니고, 예를 들면, 트리밍 전극(31g 내지 31h)은 생략되어, 코일 패턴부(56)에 접속되는 트리밍 전극은 없을 수도 있다.

설명된 실시예는 각각의 제품의 경우에 대하여 설명되었다. 대량 생산을 위하여, 복수의 가변 인덕터를 갖는 모기판(웨이퍼)을 제조하고, 다이싱, 스크라이빙 및 브레이킹과 같은 방법 및 최종 단계에서 레이저를 이용하는 방법과 같은 방법을 사용하여 각각의 제품 크기로 모기판을 여러 조각으로 절단하는 효과적인 방법을 포함한다.

가변 인덕터는 회로 패턴이 형성된 인쇄 기판이 그 위에 하나 이상의 나선형 코일 패턴이 직접 형성되도록 설계될 수 있다.

발명의 효과

따라서, 본 발명에 따르면 따라서, 높은 Q 인자 및 용이하고 정교하게 조절될 수 있는 인덕턴스의 넓은 가변 영역을 갖는 가변 인덕터를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

입력 외부 전극,

출력 외부 전극,

상기 입력 외부 전극 및 상기 출력 외부 전극 사이에 적어도 두개의 나선형 코일 패턴부를 직렬로 전기적으로 접속시켜 형성된 코일,

상기 적어도 두개의 나선형 코일 패턴부의 각각에 구비된 적어도 하나의 트리밍 전극(각 트리밍 전극은 한 말단이 상기 나선형 코일 패턴부와 접속됨), 및

상기 각 트리밍 전극의 말단에 접속된 인출 전극을 포함하며,

상기 인출 전극이 상기 입력 외부 전극 및 상기 출력 외부 전극 중 하나와 접속되는 것을 특징으로 하는 가변 인덕터.

청구항 2.

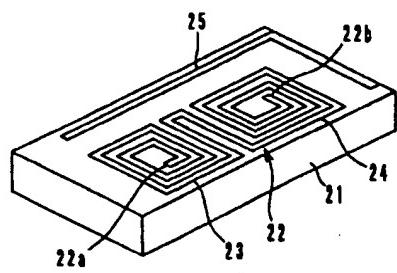
제 1 항에 있어서, 상기 트리밍 전극이 일렬로 정렬되는 것을 특징으로 하는 가변 인덕터.

청구항 3.

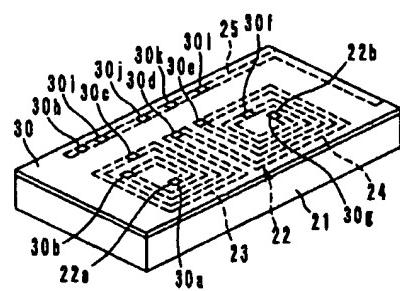
제 2 항에 있어서, 일렬로 정렬된 상기 트리밍 전극이 상기 나선형 코일 패턴부에 접속되며, 상기 트리밍 전극을 상기 트리밍 전극의 끝에서 시작하여 순차적으로 절단하며, 상기 코일의 인덕턴스가 이에 따라 증가하는 것을 특징으로 하는 가변 인덕터.

도면

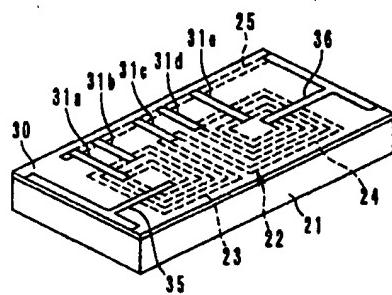
도면 1



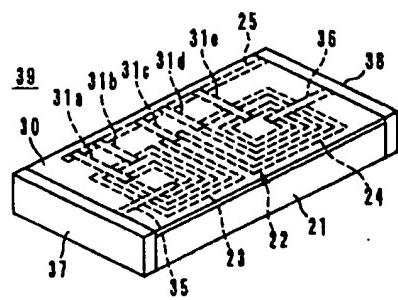
도면 2



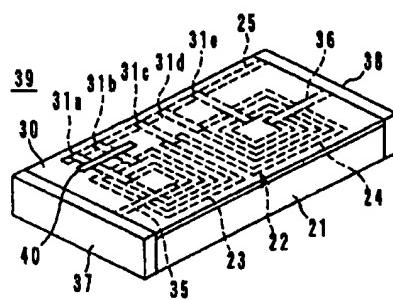
도면 3



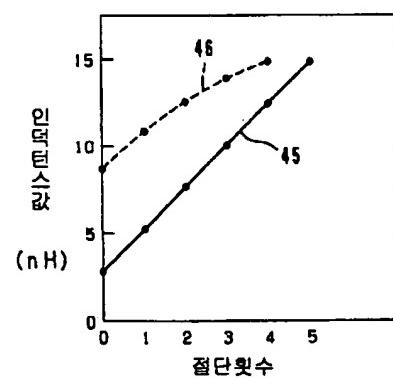
도면 4



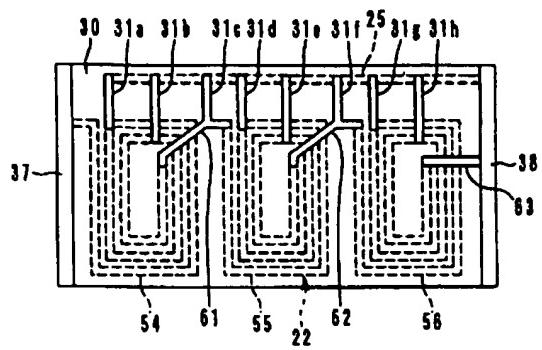
도면 5



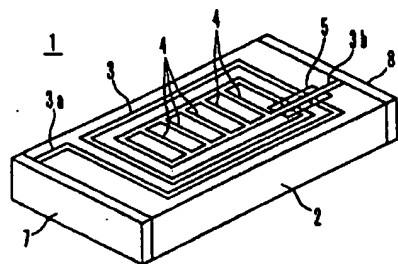
도면 6



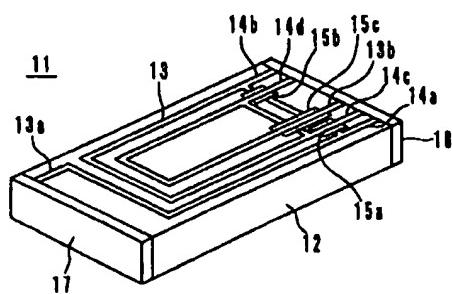
도면 7



도면 8



도면 9



Integrated circuit with inductance comprises spiral channel in which metal deposit forms inductance winding

Patent number: FR2830670
Publication date: 2003-04-11
Inventor: GARDES PASCAL; AURIEL GERARD
Applicant: ST MICROELECTRONICS SA (FR)
Classification:
- **International:** H01F17/00; H01F41/04; H01L21/02; H01F17/00;
H01F41/04; H01L21/02; (IPC1-7): H01F41/04;
H01L21/71
- **European:** H01F17/00A; H01F41/04A; H01L21/02B4
Application number: FR20010013055 20011010
Priority number(s): FR20010013055 20011010

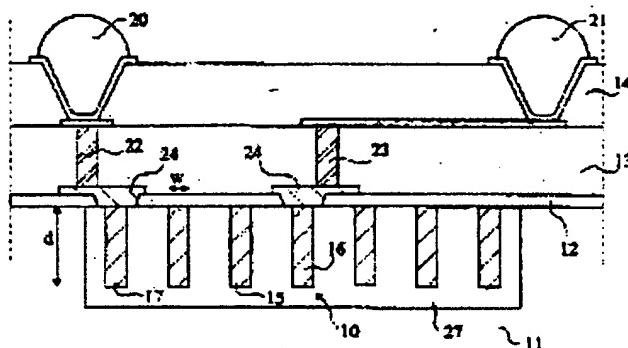
Also published as:

EP1302955 (A1)
US2003066184 (A1)

[Report a data error here](#)

Abstract of FR2830670

The monolithic circuit includes a substrate (11) on which an inductance is formed. This is achieved by depositing a conducting material on one wall of a spiral channel. The channel may be filled with insulating material. The monolithic circuit includes a substrate (11) on which an inductance is formed. On one surface of the substrate a channel (21) is formed, and this may be in the form of a spiral, extending between a central hole and an outer hole defining the outer end of the spiral. This channel may be formed by laser action. The surface of the channel and that of the end hole is then insulated. Insulation may be achieved in the process by thermal oxidation, whilst the channel itself may alternatively be cut by plasma etching. A conducting material is deposited on at least one wall of the channel, defining a conductive path between the two extreme holes. This conductive spiral forms the inductance. The channel may finally be filled with a further quantity of insulating material.



Data supplied from the esp@canet database - Worldwide

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 7
H01L 27/04

(11) 공개번호 특2003 - 0030958
(43) 공개일자 2003년04월18일

(21) 출원번호 10 - 2002 - 0061902
(22) 출원일자 2002년10월10일

(30) 우선권주장 01/13055 2001년10월10일 프랑스(FR)

(71) 출원인 에스티마이크로일렉트로닉스·에스·에이.
프랑스 92120 몽루우지 블르바르드 로마앵 롤랑 29

(72) 발명자 가르데스파스칼
프랑스37100 뚜르아파르트망109레지당스앙리IV
오리엘제라르
프랑스37390 샹쏘 - 쉬르 - 슈와질르뤼장우끄2

(74) 대리인 박장원

심사청구 : 없음

(54) 인덕턴스 및 그 제조방법

요약

평평한 상부면의 기판을 포함하는 모놀리식 회로에서 인덕턴스를 제조하는 방법에 있어서, 형성될 인덕턴스의 윤곽을 따르는 공동 - 상기 공동의 단면은 그 너비에 비해 깊다 - 을 기판에 형성하는 단계와, 상기 공동에 전도재료를 채우는 단계를 포함하여 구성된 것을 특징으로 한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 제조방법에 의해 얻어진 인덕턴스를 포함하는 모놀리식 회로의 단면도를 나타낸다.

도 2는 A-A 선을 따라 자른 도 1의 단면도를 나타낸다.

도 3 내지 도 5는 본 발명의 실시예에 따른 인덕턴스의 제조방법의 각 단계에서 모놀리식 회로의 단면도를 나타낸다.

도 6은 본 발명의 실시예에 따른 인덕턴스를 포함하는 모놀리식 회로의 단면도를 나타낸다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모놀리식 회로에서 인덕턴스를 제조하는 방법에 관한 것으로서, 특히 인덕터, 저항 또는 커패시터와 같은 수동소자의 수 및 가능하다면 보호 다이오드 등의 능동소자의 수를 제한적으로 집적하는 모놀리식 회로에서 인덕턴스를 제조하는 방법에 관한 것이다.

도 1은 종래 형성된 인덕턴스를 포함하는 모놀리식 회로의 단면도를 나타낸다. 예를 들어, 실리콘 반도체(11)는 실리콘 산화물 절연층(12), 제 1불활성층(13) 및 제 2불활성층(14)으로 형성된 다층으로 덮여 있다. 인덕턴스(10)는 제 1불활성층(13)의 외부표면에 있다.

도 2는 도 1의 A - A 선을 따라 자른 인덕턴스(10)의 단면도이다. 인덕턴스(10)는 나선형으로 배치되고 제 1단부(16) 및 제 2단부(17)를 갖는 전도트랙(15)으로 형성되어 있다. 제 1단부(16)는 실질적으로 나선의 중심에 위치한다. 제 2단부(17)는 패드(20)에 연결된다. 제 1단부(16)는 제 1불활성층(13)에 형성된 비아(via)(22, 23) 및 절연층(12)에 증착된 금속부(24)를 통해 패드(21)에 연결된다. 패드(20, 21)는 프린트회로상의 모놀리식 회로의 상부면의 직접적인 어셈블리를 위한 패드 집합체이다.

인덕턴스(10)는 가능한 능동소자를 기판(11)에 형성한 다음에 형성된다. 인덕턴스(10)는 제 1불활성층(13)에 예를 들어 알루미늄으로 된 금속층을 증착하여 형성될 수 있는데, 이 금속층에 마스크를 씌어서 이방성 에칭을 한다. 마스크에 의해 보호되지 않은 금속영역의 부분은 인덕턴스(10)의 전도트랙(15), 제 1 및 제 2단부(16, 17)를 형성한다. 마지막으로, 제 2불활성층(14)이 증착되고 패드(20, 21)가 형성된다. 제 1불활성층(13)은 특별히 기판(11)에서 인덕턴스(10)를 분리하여 그들 사이의 결합을 제한하는 기능을 갖고 있다.

인덕턴스(10)는 다음의 공식을 갖는 직렬저항을 갖는다.

$$R = \rho \times l / S$$

여기서, ρ 는 인덕턴스(10)를 구성하는 재료의 비저항이고, l 은 전도트랙의 길이이며, S 는 전도트랙(15)의 단면의 표면적이다. 통상적으로 전도트랙(15)의 단면은 거의 직사각형이고 $S = d \times w$ 이다. 여기서, 도 1에 도시된 바와 같이, d 는 전도트랙(15)의 두께 즉 제 1불활성층(13)에 증착되는 금속의 두께이고, w 는 전도트랙(15)의 너비이다. 인덕턴스(10)는 또한 교환전력(자기전력)과 손실전력(저항손실)의 비에 해당하는 품질인자(Q)를 갖는다. 그 값은 500 Mhz 이하의 주파수에서 다음의 공식으로 주어진다.

$$Q = L \times \omega / R_{DC}$$

여기서 ω 는 인덕턴스(10)를 흐르는 전류펄스이고, L 은 인덕턴스의 값이며, R_{DC} 는 저주파수(500 Mhz 이하의 주파수) 인덕턴스의 등가 직렬저항으로서 상기 공식으로 주어진 직렬저항과 같다.

전술한 종래의 인덕턴스(10)를 형성하는 방법에 의하면, 인덕턴스(10)의 직렬저항의 구해진 값은 제 1불활성층(13)에서의 금속증착단계 및 금속에칭에 의해 축적된 분산에 의해 약 5%의 분산을 보인다. 이 분산은 인덕턴스의 품질인자 의 분산을 야기한다. 실제로, 그러한 분산은 모놀리식 회로의 연속적 사용 시 정합 문제를 일으킨다.

또한, 인덕턴스(10)의 두께는 금속증착에 사용되는 기술에 의해 그리고 이 증착이 제 2불활성층(14)에 의해 덮여져야 한다는 사실에 의해 제한된다. 인덕턴스(10)의 존재로 인하여, 제 2불활성층(14)이 형성되는 표면은 제 2불활성층(14)에서 압력분포의 불균일을 일으킬 수 있는 불규칙한 기복을 보이는 바, 이는 층의 파손을 야기한다. 두께 d 를 $3\mu m$ 이하로 유지하려는 이유는 이 때문이다. 너비 w 를 증가시켜 이에 따라 인덕턴스가 차지하는 면적을 증가시키는 것이 바람직하지 않은 경우, 매우 작은 저항값 및 높은 품질인자를 얻는 것을 어렵게 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 두꺼운 두께를 가질 수 있는 모놀리식 회로 인덕턴스를 얻는 것을 목적으로 한다.

또한, 본 발명은 불활성층의 형성을 용이하게 하는 인덕턴스를 얻는 것을 목적으로 한다.

이 목적 및 다른 목적을 달성하기 위해, 본 발명은 평평한 상부면의 기판을 포함하는 모놀리식 회로에서 인덕턴스를 제조하는 방법을 제공한다. 이 방법은 형성될 인덕턴스의 윤곽을 따르는 공동(cavity) - 상기 공동의 단면은 그 너비에 비해 깊다 - 을 기판에 형성하는 단계와, 상기 공동의 레벨에서 다공 실리콘영역을 형성하고 이어서 상기 다공 실리콘영역을 산화시키는 것을 포함하는 인덕턴스의 절연영역 형성 단계와, 상기 공동에 전도재료를 채우는 단계를 포함하여 구성된다.

본 발명의 실시예에 의하면, 상기 공동은 그 너비보다 5 - 10배 더 깊다.

본 발명의 실시예에 의하면, 상기 공동의 단면은 $10\mu m$ 이상의 두께를 갖고 $1 - 2\mu m$ 의 너비를 갖는다.

본 발명은 또한 평평한 상부면의 실리콘 기판을 포함하는 모놀리식 회로에 형성되는 인덕턴스를 제공한다. 상기 인덕턴스는 상기 기판의 공동에 적어도 부분적으로 하우징되어 있고, 상기 공동의 단면은 그 너비에 비해 깊고, 상기 기판의 상부면을 평평하게 하고, 상기 인덕턴스는 산화 다공 실리콘영역으로 구성된 절연영역에 의해 상기 기판으로부터 절연되어 있다.

본 발명의 전술한 목적, 특성 및 이점은 첨부된 도면과 함께 다음의 특정 실시예의 설명으로부터 상세히 논의될 것이다.

발명의 구성 및 작용

모놀리식 회로의 표현에서 일반적인 바와 같이, 여러 층의 두께 및 길이치수가 동일한 도면에서 또는 서로 다른 도면에서 축척에 맞게 도시되어 있지는 않음에 유의하여야 한다. 또한, 연속적인 제조단계에서 동일한 도면부호는 동일한 층 요소를 나타낸다.

도 3은 인덕턴스(10)의 바람직한 두께 d 의 함수인 깊이를 갖는 공동(26)이 형성되어 있는 실리콘 반도체 기판(11)을 나타낸다. 공동(26)은 기판(11)의 이방성 에칭에 의해 얻어질 수 있는데, 도 2의 형상을 갖는 패턴에 따라서 기판(11)의 부분을 노출시키는 마스크를 기판(11)에 씌운다. 얻어진 공동(26)은 인덕턴스(10)의 윤곽을 따른다.

도 4는 공동(26)을 둘러싸는 다공 실리콘영역을 얻기 위한 국부적 전기분해 및 절연영역(27)을 형성하기 위한 다공영 역의 산화가 연속적으로 수행되는 기판(11)을 나타낸다. 다음, 금속층, 예를 들어 알루미늄이 공동(26)에 증착된다. 또한, 전기분해에 의해 구리증착이 얻어질 수 있다.

도 5는 인덕턴스(10) 레벨에서 기판(11) 표면의 소위 평탄화 단계 후 금속재료로 채워진 공동(26)을 나타낸다. 평탄화는 기판(11)의 외부표면에 대해 돌출한 금속부분을 제거하는 화학기계적 연마(CMP) 방법에 의해 수행될 수 있다.

따라서, 기판(11)에 집적되고 절연영역(27)에 의해 기판으로부터 절연되어 있는 인덕턴스(10)를 얻는다. 기판(11), 절연영역(27) 및 인덕턴스(10)에 의해 형성된 어셈블리는 거의 평평한 상부면을 보여준다. 예로서, 본 발명에 의하면 두께 $10\mu m$ 및 너비 $1.5\mu m$ 를 갖는 인덕턴스(10)가 형성될 수 있다.

도 6은 본 발명의 제 1실시예에 의해 형성된 인덕턴스(10)를 포함하는 모놀리식 회로의 단면도를 나타낸다. 인덕턴스(10)의 단부(16, 17)는 종래와 같이 비아(22, 23) 및 금속부분을 통해 패드(20, 21)에 연결된다.

발명의 효과

도 1에 도시한 구조와 비교할 때, 본 발명은 많은 이점을 갖고 있다.

우선, 인덕턴스(10)가 기판(11)에 집적되어, 제 1 및 제 2불활성층(13, 14)의 증착이 용이하다. 즉, 인덕턴스(10)는 제 2불활성층(14)을 약화시키는 평평하지 않은 표면을 더 이상 만들지 않는다. 따라서, 제 2불활성층(14)은 더욱 평평한 표면에 형성된다. 또한, 기판(11)에 의해 형성된 어셈블리 및 인덕턴스(10)는 거의 평평한 외부표면을 가지고 있기 때문에, 기판(11) 레벨에서 인덕턴스(10)의 형성은 제 1불활성층(13)의 형성을 방해하지 않는다. 따라서, 불활성 패손의 위험을 줄임으로써 구성요소의 신뢰성이 향상된다.

본 발명의 다른 이점은 종래의 인덕턴스와 비교하여 상당한 두께 d 를 가질 수 있다는 것이다. 즉, 현재 사용되는 기술은 예를 들어 $10 - 20\mu m$ 의 깊이로 기판(11)을 에칭할 수 있다. 인덕턴스(10)의 동일한 길이 l 에 대하여, 두께 d 의 증가는 직렬저항을 감소시켜서 인덕턴스(10)에서의 전압강하 및 저항손실을 작게 한다. 또한, 일정한 직렬저항 및 주어진 권선(turn) 수에 대하여, 두께 d 의 증가는 너비 w 및 길이 l 을 감소시켜서 기판(11)상의 인덕턴스(10)가 차지하는 표면적을 감소시키게 된다.

본 발명의 또 다른 이점은 인덕턴스(10) 형성 시 그 두께의 제어가 양호하다는 것이다. 따라서, 직렬저항 분산 및 인덕턴스(10)의 품질인자 분산이 감소한다.

본 발명의 또 다른 이점은 기판(11)과 저항의 저항성 및 용량성 결합이 현저히 감소한다는 것이다. 인덕터스(10)는 기판(11)으로부터 효과적으로 절연되어 품질인자가 향상된다.

물론, 본 발명은 당업자에게 다양한 변경, 수정 및 개선이 가능하다. 특히, 인덕턴스는 나선 외의 형태로 배치될 수 있다. 전도트랙의 단면도 직사각형 이외의 형태가 될 수 있다.

그러한 변경, 수정 및 개선은 본 개시의 일부이며 본 발명의 사상 및 범위 내에 있는 것이다. 따라서, 전술한 설명은 단지 예로서 이에 한정되는 것은 아니다. 본 발명은 다음의 청구범위 및 그 균등물에 한정된다.

(57) 청구의 범위

청구항 1.

평평한 상부면의 기판을 포함하는 모놀리식 회로에서 인덕턴스를 제조하는 방법에 있어서,

형성될 인덕턴스의 윤곽을 따르는 공동 - 상기 공동의 단면은 그 너비에 비해 깊다 - 을 기판에 형성하는 단계와,

상기 공동 레벨에서 다공 실리콘영역을 형성하고 이어서 상기 다공 실리콘영역을 산화시키는 것을 포함하는 인더턴스의 절연영역 형성단계와,

상기 공동에 전도재료를 채우는 단계를 포함하여 구성된 것을 특징으로 하는 방법.

청구항 2.

제 1항에 있어서, 상기 공동은 그 너비보다 5 - 10배 더 깊은 것을 특징으로 하는 방법.

청구항 3.

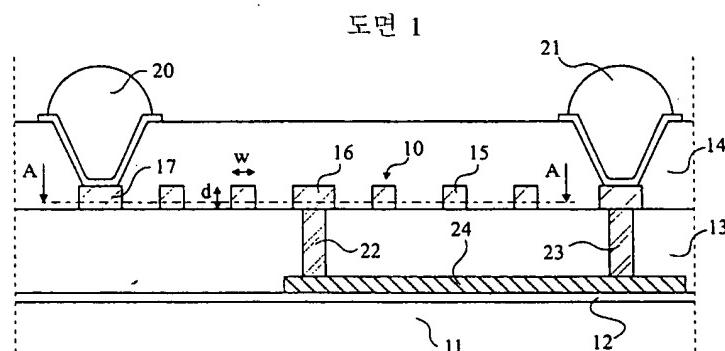
제 2항에 있어서, 상기 공동의 단면은 $10\mu m$ 이상의 두께를 갖고 $1 - 2\mu m$ 의 너비를 갖는 것을 특징으로 하는 방법.

청구항 4.

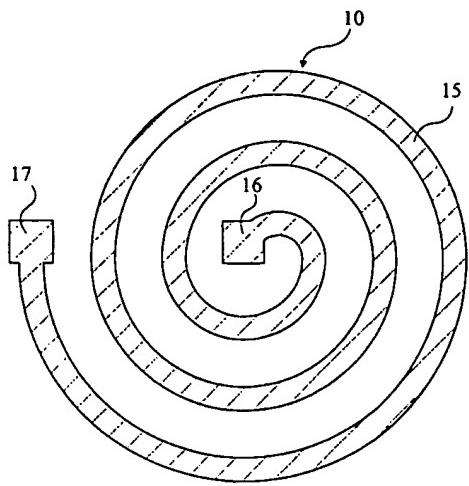
평평한 상부면의 실리콘 기판을 포함하는 모놀리식 회로에서 형성되는 인더턴스에 있어서,

상기 인더턴스는 상기 기판의 공동에 적어도 부분적으로 하우징되어 있고, 상기 공동의 단면은 그 너비에 비해 깊고, 상기 기판의 상부면을 평평하게 하고, 상기 인더턴스는 산화 다공 실리콘영역으로 구성된 절연영역에 의해 상기 기판으로부터 절연되어 있는 것을 특징으로 하는 인더턴스.

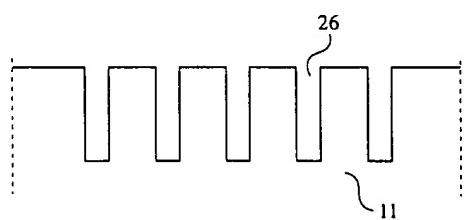
도면



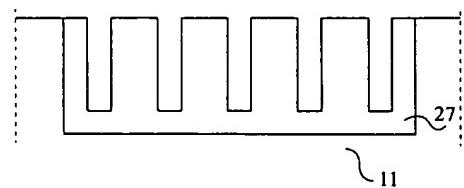
도면 2



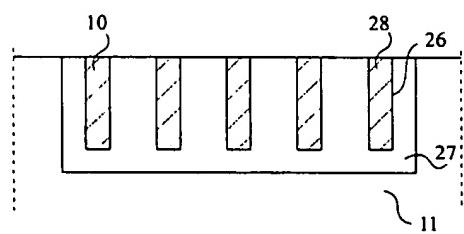
도면 3



도면 4



도면 5



도면 6

